

MANUFACTURE OF SEMICONDUCTOR DEVICE

Patent Number: JP10256240
Publication date: 1998-09-25
Inventor(s): FUKAZAWA MASANAGA;; KADOMURA SHINGO;; FUKUDA
Applicant(s): SONY CORP
Requested Patent: JP10256240
Application: JP19970158570 19970616
Priority Number(s):
IPC Classification: H01L21/3065; H01L21/768
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To form a connection hole in an interlayer insulating film by a dry etching process, using not only a general composition etching gas but also an etching gas containing no fluorocarbon-loosed gas.

SOLUTION: This method for manufacturing a semiconductor device includes a step of forming a connection hole 14 in an inter-layer insulating film by a dry etching process using an etching gas. In this case, a film 12 having a low dielectric constant is an insulating film which is made of a compound, having SiF or CF couplings in a chemical structural formula. Specifically, the compound may be SiOF, cyclic fluororesin siloxane copolymer or polyfluoroaryl ether. When such an insulating film employed, active species of F- or fluoroacarbon- boased molecules emitted from inside of the connection hole 24 of the inter-layer insulating film can cause an etching rate of the insulating film inside the hole 14 to be increased.

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-256240

(43)公開日 平成10年(1998)9月25日

(51)Int.Cl.
H 01 L 21/3065
21/768

識別記号

F 1
H 01 L 21/302
21/90F
K

審査請求 未請求 請求項の数80 O.L (全 11 頁)

(21)出願番号 特願平9-158570
 (22)出願日 平成9年(1997)6月16日
 (31)優先権主張番号 特願平9-3213
 (32)優先日 平9(1997)1月10日
 (33)優先権主張国 日本 (JP)

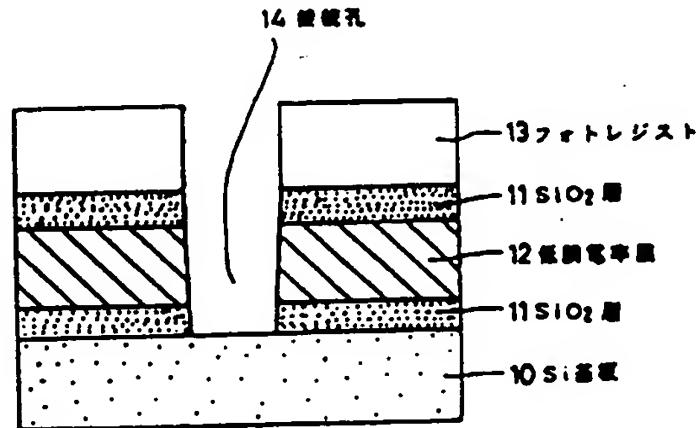
(71)出願人 000002185
 ソニー株式会社
 東京都品川区北品川6丁目7番35号
 (72)発明者 深沢 正永
 東京都品川区北品川6丁目7番35号 ソニ
 一株式会社内
 (72)発明者 門村 新吾
 東京都品川区北品川6丁目7番35号 ソニ
 一株式会社内
 (72)発明者 福田 誠一
 東京都品川区北品川6丁目7番35号 ソニ
 一株式会社内
 (74)代理人 弁理士 松隈 秀盛

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】 一般的な組成のエッティングガスばかりでなく、フルオロカーボン系ガスを含まないエッティングガスを用いるドライエッティングにより、層間絶縁膜に接続孔を形成することができる半導体装置の製造方法を提供する。

【解決手段】 本発明は、エッティングガスを用いるドライエッティングにより、層間絶縁膜に、接続孔を形成する工程を有する半導体装置の製造方法に関するものである。低誘電率膜12は、化学構造式中にSiF結合又はCF結合を有する化合物からなる絶縁膜である。具体的には、SiOF、環状フッ素樹脂シロキサン共重合体、ポリフルオロアリールエーテルなどを用いることができる。これらの絶縁膜を用いることにより、エッティング中に層間絶縁膜の接続孔14内から放出されるF、又はフルオロカーボン系の分子の活性種が、接続孔14内の絶縁膜のエッティングを増速させることができる。



ことができる。その場合、比誘電率が1～4の範囲にあることが望ましい。比誘電率が4よりも大きくなると、半導体デバイスのスピードが低下してしまうからであり、また、比誘電率が1より小さいものは現実に存在しないからである。

【0059】また、上述実施例では、層間絶縁膜としては、 FSi 結合または FC 結合を有する低誘電率膜と SiO_2 膜との組み合わせたものを用いたが、組み合わせる相手は SiO_2 だけでなく Si_3N_4 などの他の絶縁膜を用いることができる。

【0060】また、上述実施例では、絶縁膜の組み合せの場合を説明したが、 FSi 結合または FC 結合を有する低誘電率膜単体のみで層間絶縁膜を形成することもできる。

【0061】また、上述実施例ではエッティングガスとして、 $C_4F_8/CO/Ar/O_2$ の混合ガスを用いたが、この組成に限ることではなく、他の一般的な組成のエッティングガスを用いることができる。

【0062】また、エッティング中に層間絶縁膜の接続孔内から放出されるF、又はフルオロカーボン系の分子の活性種が、接続孔中の絶縁膜のエッティングを増速させることができるので、エッティングガスとしては、フルオロカーボン系ガスを含まないものを用いることもできる。フルオロカーボン系ガスを用いなくてもよいことは、環境汚染の抑制を図る観点から非常に重要な意味をもつものである。

【0063】以上のことから、本実施例によれば、エッティングガスを用いるドライエッティングにより、化学構造式中に SiF 結合又は CF 結合を有する化合物からなる層間絶縁膜に接続孔を形成することができる。

【0064】また、化学構造式中に SiF 結合又は CF 結合を有する化合物からなる第1の絶縁膜と、 Si_3N_4 又は SiO_2 などからなる他の絶縁膜との組み合わせからなる層間絶縁膜に、接続孔を形成することができる。

【0065】また、エッティング中に層間絶縁膜の接続孔内から放出されるF、又はフルオロカーボン系の分子の活性種が、接続孔中の絶縁膜のエッティングを増速させることができるので、エッティングガスとしては、一般的な組成のエッティングガスを用いることができるばかりでなく、フルオロカーボン系ガスを含まないものを用いることもできる。

【0066】なお、本発明は上述の実施例に限らず本発明の要旨を逸脱することなくその他種々の構成を探り得ることはもちろんである。

【0067】

【発明の効果】以上説明したように、本発明によれば、エッティングガスを用いるドライエッティングにより、化学構造式中に SiF 結合又は CF 結合を有する化合物からなる層間絶縁膜に、接続孔を形成することができる。

【0068】また、化学構造式中に SiF 結合又は CF 結合を有する化合物からなる第1の絶縁膜と、 Si_3N_4 又は SiO_2 などからなる他の絶縁膜との組み合わせからなる層間絶縁膜に、接続孔を形成することができる。

【0069】また、エッティングガスとしては、一般的な組成のエッティングガスを用いることができるばかりでなく、フルオロカーボン系ガスを含まないものを用いることもできる。

【図面の簡単な説明】

【図1】本発明の実施例により、層間絶縁膜に形成した接続孔を示す概略断面図である。

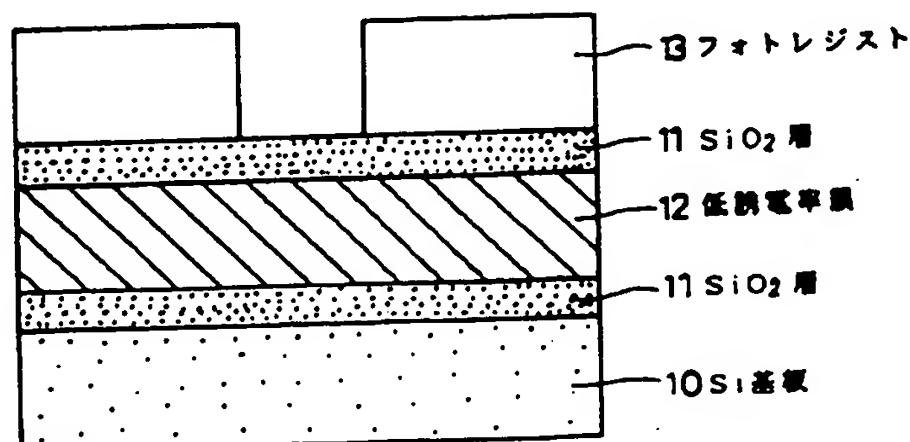
【図2】本発明の実施例に用いたサンプルの構造を示す概略断面図である。

【図3】本発明の実施例との比較のために用いた層間絶縁膜に、形成することを試みた接続孔を示す概略断面図である。

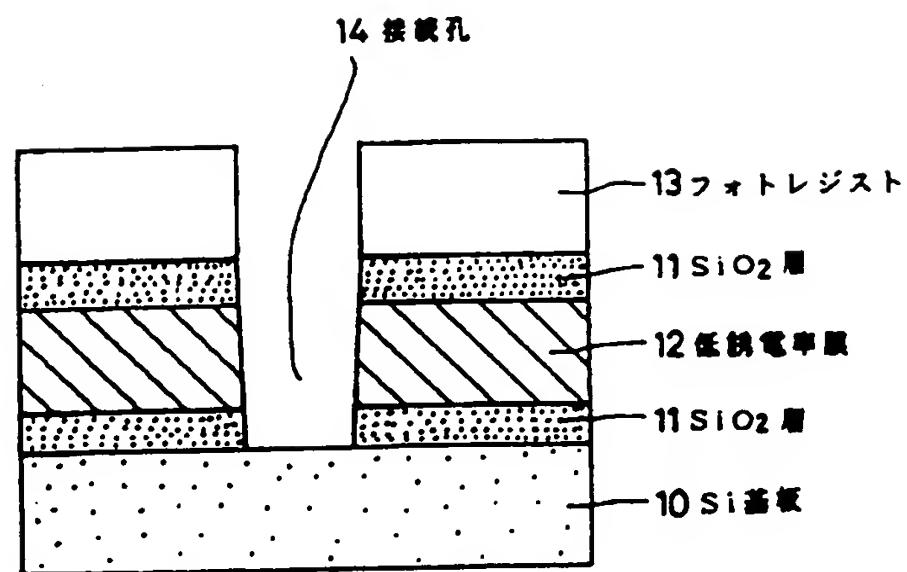
【符号の説明】

10 Si 基板、11 SiO_2 層、12 低誘電率膜、13 フォトレジスト、14 接続孔

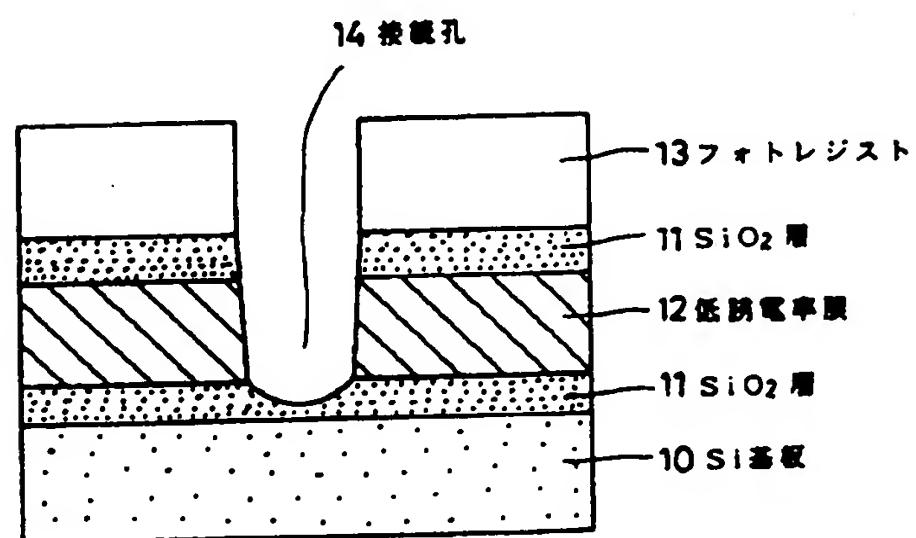
【図2】



〔図1〕



〔図3〕



* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] the layer insulation film which consists of a compound which has SiF combination or CF combination in a chemical structure formula by the dry etching using etching gas -- connection -- the manufacture method of the semiconductor device characterized by having the process which forms a hole

[Claim 2] The compound which has SiF combination or CF combination in a chemical structure formula is the manufacture method of the semiconductor device according to claim 1 characterized by the ranges of specific inductive capacity being 1-4.

[Claim 3] the compound which has SiF combination or CF combination in a chemical structure formula -- under etching -- connection of a layer insulation film -- a hole -- the active species of the molecule of F emitted from inside, or a fluorocarbon system -- connection -- a hole -- the manufacture method of the semiconductor device according to claim 1 characterized by including F beyond the grade which can be made to accelerate etching of an inner insulator layer

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] the connection formed in the layer insulation film according to the example of this invention -- it is the outline cross section showing a hole

[Drawing 2] It is the outline cross section showing the structure of the sample used for the example of this invention.

[Drawing 3] the connection which tried to form in the layer insulation film used for comparison with the example of this invention -- it is the outline cross section showing a hole

[Description of Notations]

10 Si Substrate and 11 SiO₂ Layer and 12 Low Dielectric Constant Film and 13 Photoresist and 14 Connection -- Hole

[Translation done.]

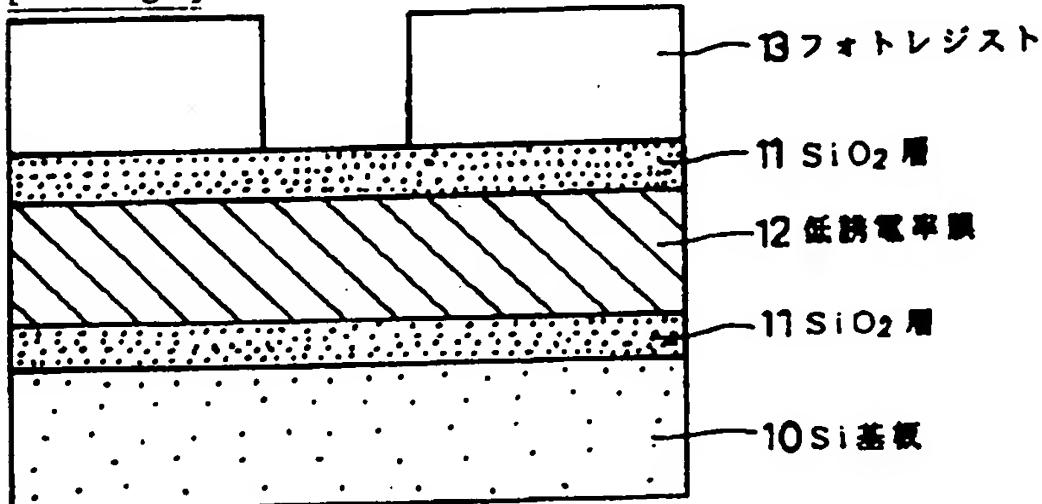
* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

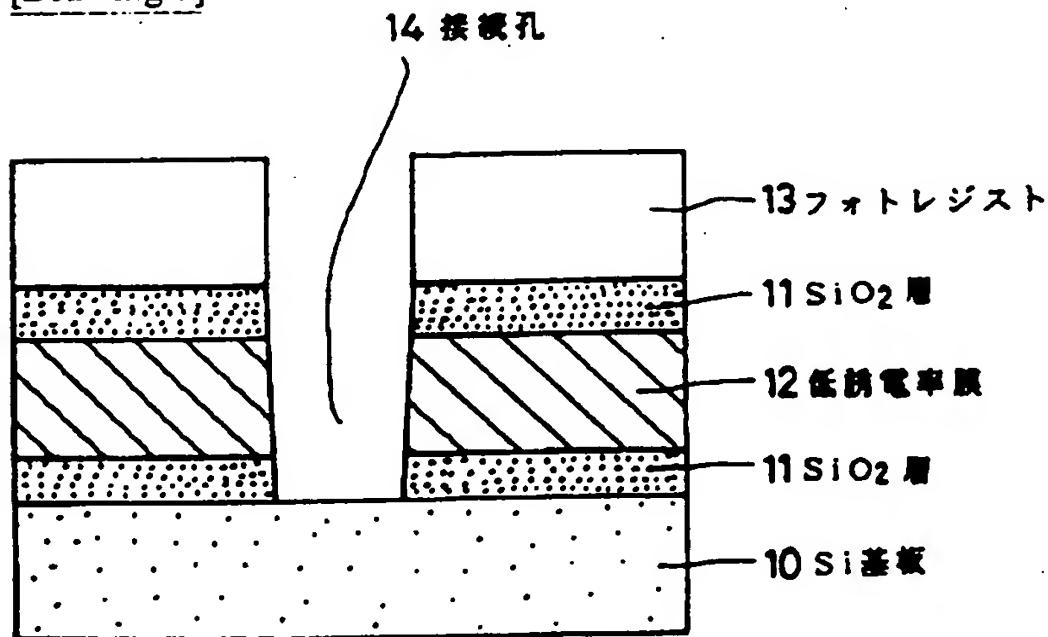
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

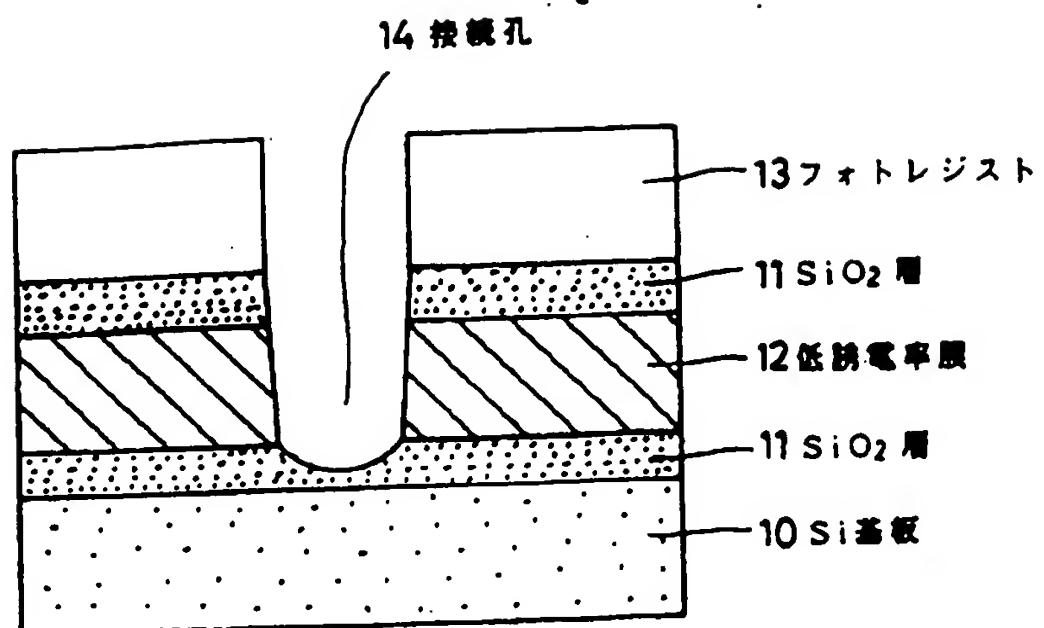
[Drawing 2]



[Drawing 1]



[Drawing 3]



[Translation done.]